



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001235725 A**(43) Date of publication of application: **31.08.01**

(51) Int. Cl.

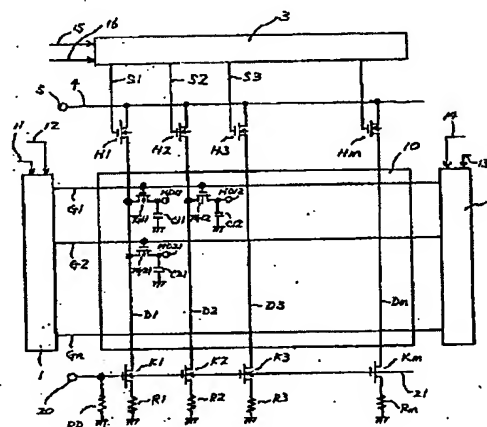
G02F 1/133**G02F 1/1368****G09G 3/20****G09G 3/36****H01L 29/786**(21) Application number: **2000047243**(71) Applicant: **VICTOR CO OF JAPAN LTD**(22) Date of filing: **24.02.00**(72) Inventor: **KONNO SHUICHI**(54) **LIQUID CRYSTAL DISPLAY DEVICE**

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device including inspection use transistors capable of inspecting defects of pixels by the small number of pads.

SOLUTION: A liquid crystal display device, comprising a substrate, a pixel part consisting of plural pixels formed on this substrate and arranged in a matrix form having pixel transistors and capacitors for storing video signals, plural scanning lines connected with the pixel transistors, plural data lines connected with the pixel transistors, a video line for supplying video signals from a vide input terminal, and switching transistors connected with the respective data lines, is provided with inspection use transistors connecting to the respective data lines formed outside of the pixels part on the substrate, and a common trigger line for turning on-off the inspection use transistors having load resistors connected with the inspection use transistors and inspection use terminals.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-235725

(P2001-235725A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 2 H 0 9 2
1/1368		G 0 9 G 3/20	6 7 0 Q 2 H 0 9 3
G 0 9 G 3/20	6 7 0	3/36	5 C 0 0 6
3/36		G 0 2 F 1/136	5 0 0 5 C 0 8 0
H 0 1 L 29/786		H 0 1 L 29/78	6 2 4 5 F 1 1 0
審査請求 未請求 請求項の数 1 O L (全 7 頁)			

(21) 出願番号 特願2000-47243 (P2000-47243)

(22) 出願日 平成12年2月24日 (2000.2.24)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 今野 秀一

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

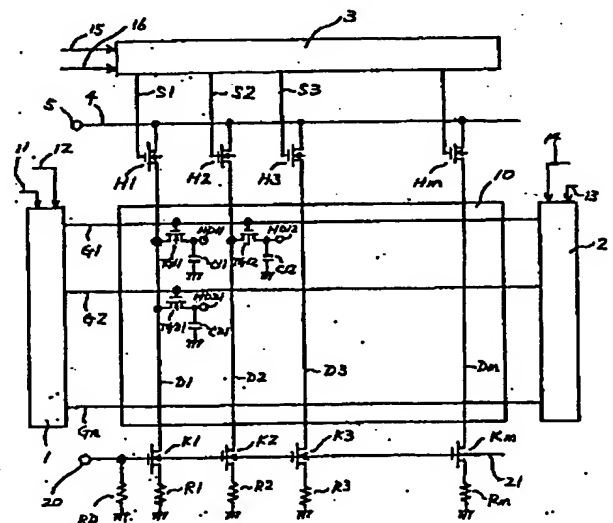
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 少ないパッド数で画素の欠陥を検査できる検査用トランジスタを含む液晶表示装置を提供する。

【解決手段】 基板と、この基板上に形成された画素トランジスタと映像信号を蓄積する容量とを有するマトリクス状に配置された複数の画素からなる画素部と、前記画素トランジスタに接続された複数の走査線と、前記画素トランジスタに接続された複数のデータ線と、ビデオ入力端子よりビデオ信号を供給するビデオ線と、前記データ線にそれぞれ接続されたスイッチ用トランジスタとを有する液晶表示装置において、前記基板の前記画素部の外側に形成された前記データ線にそれぞれ接続する検査用トランジスタと、この検査用トランジスタに接続される負荷抵抗および検査用端子を有する前記検査用トランジスタをオンオフする共通トリガー線とを有する。



【特許請求の範囲】

【請求項1】基板と、この基板上に形成された画素トランジスタとこの画素トランジスタのソースに接続された映像信号を蓄積する容量とを有するマトリクス状に配置された複数の画素からなる画素部と、前記画素トランジスタのゲートに接続された前記基板上に配置された複数の走査線と、前記画素トランジスタのドレインに接続された前記基板上に形成された複数のデータ線と、ビデオ入力端子よりビデオ信号を供給するビデオ線と、前記データ線にそれぞれ接続されたスイッチ用トランジスタとを有し、前記スイッチ用トランジスタのソースは前記データ線の一端に接続され、前記スイッチ用トランジスタのドレインは前記ビデオ線に接続され、かつ前記スイッチ用トランジスタのゲートには所定のスイッチ信号が供給される液晶表示装置において、前記基板の前記画素部の外側に形成された前記データ線にそれぞれ接続する検査用トランジスタと、この検査用トランジスタに接続される負荷抵抗および検査用端子を有するトリガー線とを有し、前記検査用トランジスタのドレインは対応する前記データ線他端に接続され、前記検査用トランジスタのソースは前記負荷抵抗を介して接地されており、前記検査用トランジスタのゲートはトリガー線に共通に接続されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特にアクティブマトリクス基板に検査用トランジスタを搭載した液晶表示装置に関するものである。

【0002】

【従来の技術】従来、アクティブマトリクス基板を有する液晶表示装置においては、アクティブマトリクス基板上に多数マトリクス状に画素が形成されている。画素には、画素に供給された信号電圧をスイッチするトランジスタと、その信号電圧を保持する容量とが形成されている。この画素のトランジスタまたは容量の欠陥検査用として、種々の方法が提案されているが、例えば、特公平5-40319号公報には、アクティブマトリクス基板上に検査用のトランジスタを設ける方法が、開示されている。

【0003】以下、添付図面を参照して、従来例の液晶表示装置を説明する。図5は、従来例の液晶表示装置におけるアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。画素部10には、例えば縦にn個、横にm個の画素がマトリクス状に配置されており、例えば第1行第1列にある画素はスイッチ用MOSトランジスタTG11（以下、単にTG11ともいう）と容量C11（以下、単にC11ともいう）を有しており、TG11のソースと容量C11の一端は液晶駆動電極HD11に接続されており、容量C11の他端は接地されている。以下同様に他の画素も構成されてい

る。

【0004】第1列に配置されている画素のMOSトランジスタのドレインは、各々、データ線D1（以下単に、D1ともいう）に接続されており、D1の一端はスイッチ用トランジスタH1（以下、単にH1という）のソースに接続され、他端はスイッチ用（検査用）トランジスタK1（以下、単にK1ともいう）のドレインに接続されている。以下、他の列の画素についても同様であり、第m列の画素は、データ線Dmに接続され、DmにはHm、Kmが接続されている。第1行に配置されている画素のMOSトランジスタのゲートは、各々、走査線G1（以下、単にG1ともいう）に接続されている。以下、他の行の画素についても同様であり、第n行の画素は走査線Gnに接続されている。

【0005】各G1、G2、…、Gnは左端を垂直シフトレジスタ1に、右端を垂直シフトレジスタ2に接続されている。垂直シフトレジスタ1には、接続された垂直クロック線11を通して垂直クロックが、垂直スタートパルス線12を通して垂直スタートパルスが供給される。水平シフトレジスタ31には、接続された水平スタートパルス線15を通して水平スタートパルスが、水平クロック線16を通して水平クロックが供給され、各列のスイッチ用トランジスタH1、H2、…、Hmの各ゲートに接続されたスイッチ線S11、S21、…、（以下、単にS11、S21、…、ともいう）にスイッチ信号を供給する。

【0006】各スイッチ用トランジスタH1、H2、…、Hmの各ドレインはビデオ線4に接続され、ビデオ端子5よりビデオ信号が供給される。検査用として、スイッチ用（検査用）トランジスタK1、K2、K3、…、Kmがあり、奇数番号のK1、K3、…、は、その各ソースは出力端子SO1に接続する検査出力線6に接続され、その各ゲートはテスト端子T1に接続するテスト線8に接続されている。偶数番号のK2、K4、…、Kmは、その各ソースは出力端子SO2に接続する検査出力線7に接続され、その各ゲートはテスト端子T2に接続するテスト線9に接続されている。テスト線8、9には、それぞれ負荷抵抗RP1、RP2が接続されている。

【0007】この液晶表示装置の表示動作の概略は、以下のとおりである。表示動作時には、K1、…、Kmはオフ状態である。ビデオ入力端子5よりビデオ線に出力されたビデオ信号は、水平シフトレジスタ31より順次スイッチ線に信号が供給されて、H1、H2、…、が順次オンし、D1、D2、…、が順次駆動される（水平走査）。垂直シフトレジスタ1より順次G1、G2、…、に信号が供給され、各行の画素のTG11、…を順次オンにする（垂直走査）。

【0008】入力されたビデオ信号は、水平走査と垂直走査により、各画素の各TG11、…、がオン／オフさ

れ、ビデオ信号が対応する各容量C11、…、に電荷として、充/放電され、この電荷を保持することにより、図示しない各画素の液晶を駆動している。

【0009】このようなアクティブマトリクスLSIにおいては、基本的にビデオ入力はあるが、電気的な出力はないので、LSIの良否の判定を行うため、検査用の検査用トランジスタを各列に対して設け、ビデオ入力端子5より一定電圧の信号を入力して、データ線D1、…、が順次駆動されるのに合わせて、検査用トランジスタK1、…、を順次オンし、その出力を出力端子でSO1、SO2でモニタすることにより断線等の故障を検出していた。

【0010】なお、図5に示す例では、奇数と偶数のデータ線を別々にモニタしているが、これは、水平シフトレジスタ31からのスイッチ線S11、…、に田方されるスイッチ信号が時間的に一部重複する形態になっているためであり、スイッチ信号が時間的に重複しない形態の場合は、奇数と偶数の区別は不要である。このときは、K1、K2、…、Kmのゲートはテスト線8にすべて接続され、K1、K2、…、Kmのソースは検査出力線6にすべて接続される。

【0011】

【発明が解決しようとする課題】ところで、液晶表示装置の高画質化のために、多画素化、およびそれに対応する高速化が求められている。図6は、従来例の液晶表示装置において複数のビデオ入力がある場合のアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。図6においては、図5のビデオ線4の代わりに3本のビデオ線41、42、43が、水平シフトレジスタ31の代わりに時間的に重ならない隣接するスイッチ信号を出力する水平シフトレジスタ3が、用いられている。

【0012】図6に示されるように、多画素化、高速化に対応するために、複数のビデオ入力端子51、52、53を設けそれぞれに接続されたビデオ線41、42、43、に同時にビデオ信号を出力するようにしている。ビデオ線41は、2つおきのスイッチ用トランジスタH1、H4、…（以下、単にH1、H4、…ともいう）のドレインに接続され、ビデオ線42は、2つおきのH2、H5、…のドレインに接続され、ビデオ線43は、2つおきのH3、H6、…のドレインに接続されている。

【0013】H1、H2、…、のソースはD1、D2、…、に接続されている。水平シフトレジスタ3から出ている各スイッチ線S1、S2、…、（以下、単にS1、S2、…ともいう）は、それぞれ3個のスイッチ用トランジスタのゲートに接続されている。例えば、S1は、H1、H2、H3に接続されている。この方式の液晶表示装置では、水平シフトレジスタ3のスイッチ速度が同じでも、複数倍の画素数に対応できる。

【0014】この方式に対して、検査用トランジスタを設ける場合次のようになる。各データ線D1、D2、…、Dm'は各検査用トランジスタK1、K2、…、Km'のドレインに接続されている。テスト端子T1はテスト線8に接続され、テスト線8は、全検査用トランジスタK1、K2、…、Km'のゲートに接続されている。例えば3本のデータ線D1、D2、D3はスイッチ線S1からのスイッチ信号で同時に駆動されるので、これらを区別するため、検査用トランジスタK1、K2、K3のソースはそれぞれ出力端子SO1'、SO2'、SO3'を有する検査出力線61、62、63に接続されている。以下、他の検査用トランジスタについても同様になっている。

【0015】ここでは、3本のビデオ線に対応して3本の検査出力線が設けられている。検査を行う場合は、ビデオ入力端子51、52、53より所定の信号を入力し水平シフトレジスタにより、スイッチ線S1、S2、…、を通して順次スイッチ信号を出力し、テスト端子T1に所定の電圧を与えて、全検査用トランジスタK1、K2、…、Km'を駆動して、3個の出力端子SO1'、SO2'、SO3'の出力をモニターすることにより各データ線の断線の有無を検出できる。

【0016】しかし、一層の高画質化を求めて、ビデオ入力数をさらに8本、12本、24本などと増加させて行くと、それに応じて検査出力線及び出力端子数を増加させる必要があり、これによりチップサイズの増加、出力端子部となるパッド数の増加が必要となり、さらに、このアクティブマトリクス基板（LSI）に液晶組み込み後の検査において、LSIのパッドを介して外部に信号を取り出す必要があるが、パッド数の増加はボンディングやFPC接着等での信頼性の低下を招くという課題の解決を求められていた。また、検査する信号数が多くなると、LSIテスト等のチャンネル数も増加し、検査プログラムも複雑になるという課題の解決を求められていた。さらに、欠陥として、断線とショートも同時に検出検査できることが求められていた。

【0017】そこで本発明は、上記課題を解決し、液晶表示装置において、少ないパッド数で画素の欠陥を検査できる検査用トランジスタを含む液晶表示装置を提供することを目的とする。

【0018】

【課題を解決するための手段】上記目的を達成するための手段として、本発明の液晶表示装置は、基板と、この基板上に形成された画素トランジスタとこの画素トランジスタのソースに接続された映像信号を蓄積する容量とを有するマトリクス状に配置された複数の画素からなる画素部と、前記画素トランジスタのゲートに接続された前記基板上に配置された複数の走査線と、前記画素トランジスタのドレインに接続された前記基板上に形成された複数のデータ線と、ビデオ入力端子よりビデオ信号を

供給するビデオ線と、前記データ線にそれぞれ接続されたスイッチ用トランジスタとを有し、前記スイッチ用トランジスタのソースは前記データ線の一端に接続され、前記スイッチ用トランジスタのドレインは前記ビデオ線に接続され、かつ前記スイッチ用トランジスタのゲートには所定のスイッチ信号が供給される液晶表示装置において、前記基板の前記画素部の外側に形成された前記データ線にそれぞれ接続する検査用トランジスタと、この検査用トランジスタに接続される負荷抵抗および検査用端子を有するトリガー線とを有し、前記検査用トランジスタのドレインは対応する前記データ線の他端に接続され、前記検査用トランジスタのソースは前記負荷抵抗を介して接地されており、前記検査用トランジスタのゲートはトリガー線に共通に接続されていることを特徴とする液晶表示装置を提供しようとするものである。

【0019】

【発明の実施の形態】以下、本発明の実施の態様について、添付図面を参照して詳細に説明する。なお、従来例と同一の構成については、同一の参照符号をつけて、その説明を省略する。

【0020】図1は、本発明による液晶表示装置の実施例を示すアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。本実施例においては、各データ線D1、D2、…、Dmに対応する検査用トランジスタK1、K2、…、Kmの各ソースは、片側接地された負荷抵抗R1、R2、…、Rmにそれぞれ接続されている。検査用トランジスタK1、K2、…、Kmの各ゲートは、検査用端子20を有するトリガー線21に接続されており、トリガー線21は負荷抵抗RDを介して接地されている。

【0021】次に、ビデオ信号を各画素に書きこむ動作について説明する。図2は、本発明による液晶表示装置の実施例におけるアクティブマトリクス基板上的各ノードの信号波形を示すタイミングチャートグラフである。横軸は時間を示す。縦軸は信号レベルを示す。水平（単に、Hともいう）スタートパルス線15よりスタートパルスが水平シフトレジスタ3に入力されて、水平の走査が開始される。水平（単に、Hともいう）クロックは周期Tを有し、図2(a)に示される。

【0022】まず水平シフトレジスタ3よりスイッチ線S1を介してスイッチ信号（図2(b)）がトランジスタH1のゲートに供給されH1がオンする。このとき、垂直シフトレジスタの走査線G1は、ハイになっている。図2(e)に示されるビデオ信号はH1がオフの時には電圧V1を示し、これが容量C11に蓄積される。図2(f)には、容量C11の電圧変化を示す。

【0023】続いて、スイッチ線S2を介してスイッチ信号（図2(c)）がH2のゲートに供給されH2がオンする。図2(e)に示されるビデオ信号はH2がオフの時には電圧V2を示し、これが容量C12に蓄積され

る。図2(g)には、容量C12の電圧変化を示す。同様に、図2(d)にはスイッチ線S3のスイッチ信号が示され、図2(h)には、容量C13の電圧変化が示される。

【0024】このように第1行の画素の容量が充電され、G1をローにし、次に走査線G2をハイにして第2行目の画素の容量を充電して行く。なお、以上の動作のときは、検査用トランジスタK1、K2、…、Kmはオフである。このように、アクティブマトリクス型LSIを用いる液晶表示装置においては、その表示動作は、各画素の容量C11、…、に対する充放電動作が基本となる。

【0025】次に、本実施例における、故障検出の方法を説明する。上述のように、H1、H2、…、のオン/オフに合わせて、充/放電電流は流れるが、DC電流は流れない。すなわち、ビデオ入力端子5に定電圧を印加すると、H1、H2、…、がオンした瞬間には充放電電流が流れるが安定すると電流は流れない。一方、欠陥があつてデータ線D1、…、などが他の信号ラインとショートしていたりすると、H1、H2、…、がオンの間、常時電流が流れたり、あるいは通常よりも大きな充/放電電流が流れることになる。このようにショートの故障は、ビデオ信号の電流を検出すれば比較的容易に検出できる。

【0026】他方、データ線D1、…等の断線による故障の場合、異常電流（DC電流）が流れないので、単に、ビデオ入力端子の電流をモニタしただけでは検出困難である。K1、R1、等を用いて、断線時には電流が流れないことを積極的に検出してやる必要がある。本実施例では、検査時には、ビデオ入力端子5に、電圧V0で駆動される定電流源I1（定電流I1を出力する）を接続する。以下、データ線D1を例に説明する。検査用端子20よりトリガー線21をハイにし、K1をオンにする。H1もオンにする。

【0027】データ線D1が正常なときは、ビデオ入力端子5に接続された定電流源I1より、H1、K1、負荷抵抗R1を通して電流I1が流れる。ここで、簡単化のため、H1、K1のオン時の抵抗を0オームとすると、ビデオ入力端子5の電圧Vx1は $V_{x1} = I1 \times R1$ となり、I1、R1に依存するがV0とは異なる値である。データ線D1に断線があつた場合には、負荷抵抗R1には電流が流れないから、ビデオ入力端子の電圧は、V0のままであり、検出できる。

【0028】データ線D1が他の例えばアルミ配線などとショートしている場合には、定電流源からの電流I1の一部がそちらに流れ込むか、または流れ込んできて、負荷抵抗R1に流れる電流はいずれにしてもI1とは異なる値となり、V0、Vx1のいずれとも異なるVx2となり、検出できる。以上、データ線D1について説明したが、全データラインに対しては、水平シフトレジ

タ 3 により順次 H 1, H 2, …、を切り替えて、それぞれのタイミングでビデオ端子 5 の電圧をモニターすることで検査ができる。

【0029】図 3 は、本発明による液晶表示装置の実施例におけるアクティブマトリクス基板上にある画素の故障検出時の各ノードにおける信号波形を示すタイミングチャートである。横軸は時間を示す。縦軸は信号レベルを示す。但し図 3 (g) は状態を示す。図 3 に、上述の故障検査の例を示す。図 3 (a) は周期 T の水平シフトレジスタのクロックを示す。図 3 (b)、(c)、(d)、(e) は、それぞれ、スイッチ線 S 1, S 2, S 3, S 4 からのスイッチ信号である。図 3 (f) は検出されたビデオ入力端子 5 の電圧変化を示し、V 0 は断線があることを、V x 1 は正常であることを、V x 2 はショートがあることをそれぞれ示している (図 3 (g) には、検出されたデータ線の状態を示してある。

【0030】本発明の構成を、ビデオ入力複数になった場合について、以下に示す。図 4 は、本発明による液晶表示装置の実施例において複数のビデオ入力がある場合のアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

【0031】ビデオ入力が 3 本ある場合であり、ビデオ入力端子 5 1, 5 2, 5 3 にそれぞれビデオ線 4 1, 4 2, 4 3 が接続されている。各スイッチ線 S 1, S 2, …、は、3 個のスイッチ用トランジスタのゲートに接続され、このトランジスタのソースに接続されるデータ線を 3 本同時に駆動する。3 個のトランジスタ毎にそれらのドレインは、ビデオ線 4 1, 4 2, 4 3 に接続されている。データ線 D 1, D 2, …、の他端はそれぞれ検査用トランジスタ K 1, K 2, …、のドレインに接続されており、これらの検査用トランジスタ K 1, K 2, …、のソースはそれぞれ負荷抵抗 R 1, R 2, …、を介して接地されており、各ゲートは、テスト端子 2 0 に接続するトリガー線 2 1 に接続されている。

【0032】検査時には、各ビデオ入力端子 5 1, 5 2, 5 3 にそれぞれ定電流源を接続して、それぞれの端子電圧をモニターすれば良い。このように、ビデオ入力が複数増加しても、新たな検査回路や検査用の端子の増設が不要であり、多画素化、高速化に対応できる。以上、検査用の検査用トランジスタ K 1, K 2, …に負荷抵抗 R 1, R 2, …を接続した場合を説明したが、これら負荷抵抗の代わりにダイオードやトランジスタ等を用いても良く、さらに複数個のダイオードの直列接続や MOS ダイオード等も用いることができる。また、ここでは NMOS の例で説明しているが、PMOS あるいは CMOS であっても同様の効果が得られる。

【0033】

【発明の効果】以上説明したように、本発明の液晶表示装置は、基板と、この基板上に形成された画素トランジスタとこの画素トランジスタのソースに接続された映像

信号を蓄積する容量とを有するマトリクス状に配置された複数の画素からなる画素部と、前記画素トランジスタのゲートに接続された前記基板上に配置された複数の走査線と、前記画素トランジスタのドレインに接続された前記基板上に形成された複数のデータ線と、ビデオ入力端子よりビデオ信号を供給するビデオ線と、前記データ線にそれぞれ接続されたスイッチ用トランジスタとを有し、前記スイッチ用トランジスタのソースは前記データ線の一端に接続され、前記スイッチ用トランジスタのドレインは前記ビデオ線に接続され、かつ前記スイッチ用トランジスタのゲートには所定のスイッチ信号が供給される液晶表示装置において、前記基板の前記画素部の外側に形成された前記データ線にそれぞれ接続する検査用トランジスタと、この検査用トランジスタに接続される負荷抵抗および検査用端子を有するトリガー線とを有し、前記検査用トランジスタのドレインは対応する前記データ線の他端に接続され、前記検査用トランジスタのソースは前記負荷抵抗を介して接地されていることにより、少ないパッド数で画素の欠陥を検査できる検査用トランジスタを含む液晶表示装置を提供することができるという効果がある。

【図面の簡単な説明】

【図 1】本発明による液晶表示装置の実施例を示すアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

【図 2】本発明による液晶表示装置の実施例におけるアクティブマトリクス基板上の各ノードの信号波形を示すタイミングチャートグラフである。

【図 3】本発明による液晶表示装置の実施例におけるアクティブマトリクス基板上にある画素の故障検出時の各ノードにおける信号波形を示すタイミングチャートである。

【図 4】本発明による液晶表示装置の実施例において複数のビデオ入力がある場合のアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

【図 5】従来例の液晶表示装置におけるアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

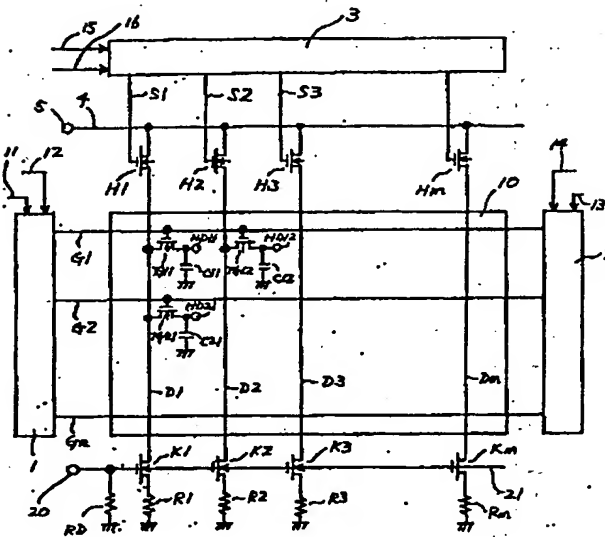
【図 6】従来例の液晶表示装置において複数のビデオ入力がある場合のアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

【符号の説明】

1…垂直シフトレジスタ、2…垂直シフトレジスタ、3…水平シフトレジスタ、4…ビデオ線、5…ビデオ入力端子、6…検査出力線、7…検査出力線、8…テスト線、9…テスト線、10…画素部、11…V クロック線、12…V スタートパルス線、13…V クロック線、14…V スタートパルス線、15…H スタートパルス線、16…H クロック線、20…検査用端子、21…トリガー線、41…ビデオ線、42…ビデオ線、43…ビ

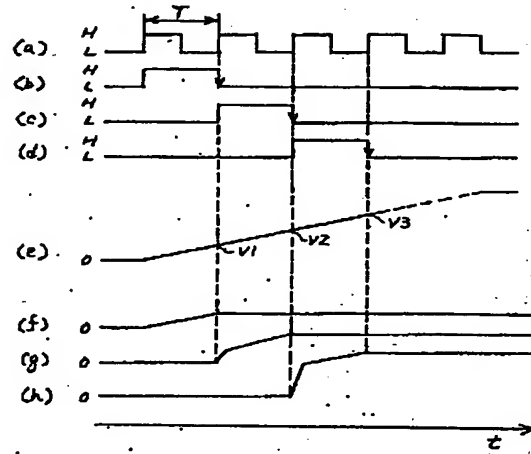
デオ線、51…入力端子、52…入力端子、53…入力端子、61…検査出力線、62…検査出力線、63…検査出力線。

【図 1】

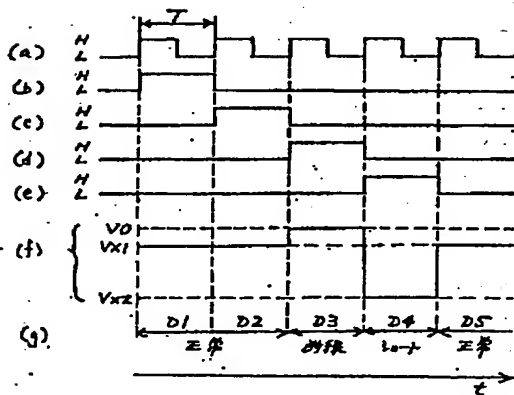


査出力線、71…検査出力線、72…検査出力線、73…検査出力線。

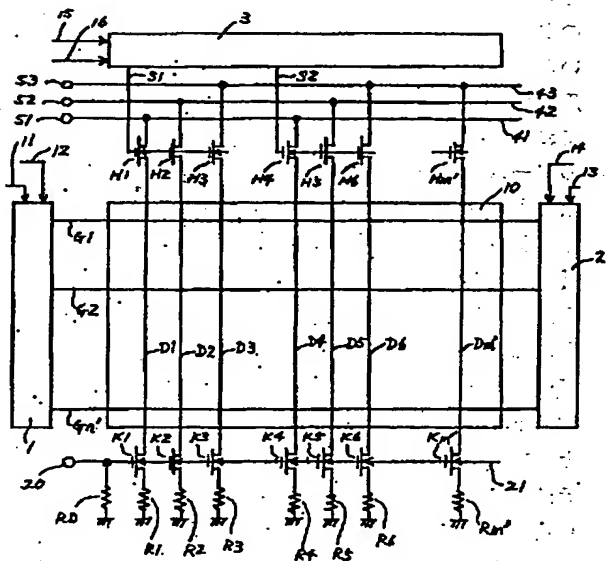
【図 2】



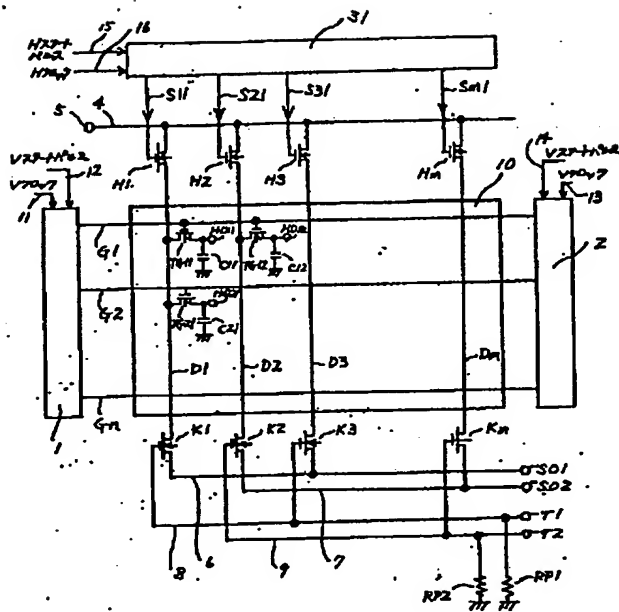
【図 3】



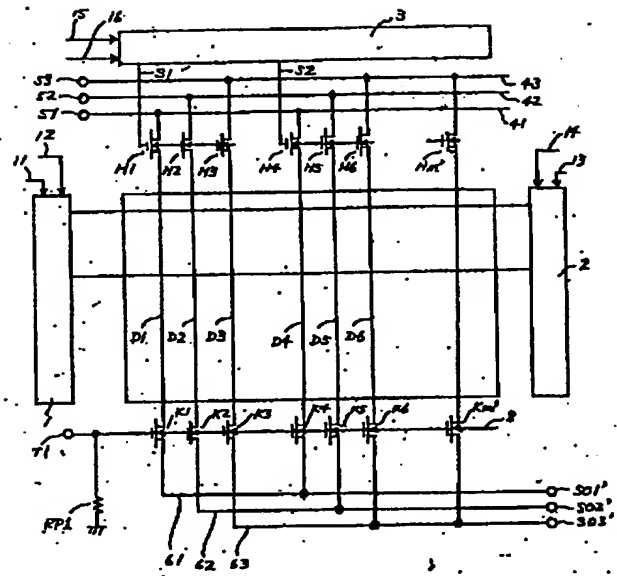
【図 4】



【図 5】



【図 6】



フロントページの続き

F ターム (参考) 2H092 JA24 JB77 MA58 NA25 NA29
 NA30 PA06
 2H093 NA16 NA42 NA80 NC22 NC23
 NC26 NC34 NC59 ND05 ND09
 ND56 NE10
 5C006 BB16 EB01 EB05 FA42
 5C080 AA10 BB05 DD15 DD23 DD25
 FF11 JJ02 JJ03 JJ04
 5F110 AA24 BB02

1. THE FBI HAS BEEN ADVISED THAT THE
 2. FBI HAS BEEN ADVISED THAT THE
 3. FBI HAS BEEN ADVISED THAT THE
 4. FBI HAS BEEN ADVISED THAT THE
 5. FBI HAS BEEN ADVISED THAT THE
 6. FBI HAS BEEN ADVISED THAT THE
 7. FBI HAS BEEN ADVISED THAT THE
 8. FBI HAS BEEN ADVISED THAT THE
 9. FBI HAS BEEN ADVISED THAT THE
 10. FBI HAS BEEN ADVISED THAT THE